

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-91574

(P2000-91574A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)	
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 S	5 F 0 4 0
21/8234		27/08	1 0 2 B	5 F 0 4 8
27/088				

審査請求 未請求 請求項の数 9 F D (全 15 頁)

(21) 出願番号	特願平10-268945	(71) 出願人	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(22) 出願日	平成10年9月7日 (1998.9.7)	(72) 発明者	余郷 幸明 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(72) 発明者	深津 重光 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内
		(74) 代理人	100067596 弁理士 伊藤 求馬

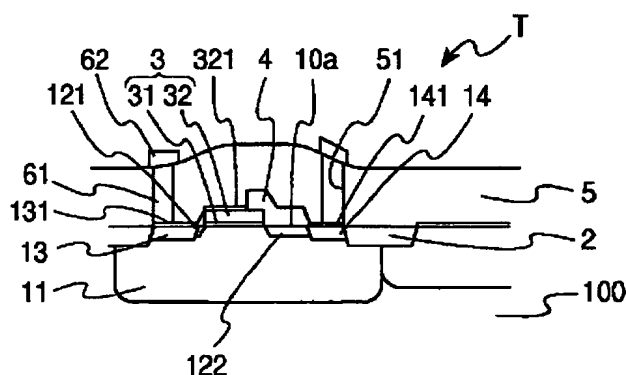
最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 オフセットゲート構造のMOS型トランジスタにおいて、ドレイン耐圧を確保しつつサリサイド化することである。

【解決手段】 シリコン基板100の表面にゲート部3端とドレイン14間にゲート部3非形成のオフセット領域10aを設けてオフセットゲート構造とし、ゲート部3のゲート電極32、ソース13およびドレイン14の表面をシリサイドとしてトランジスタの抵抗を低減し、オフセット領域10aを非シリサイドとすることで、シリコン基板100のゲート部3端位置とドレイン14とが同電位とならないようにしてゲート部3端における電界集中を防止し、ドレイン耐圧を高めるようにする。



【特許請求の範囲】

【請求項1】 シリコン基板にソースおよびドレインを形成し、シリコン基板の表面には、ソースとドレイン間にゲート酸化膜およびポリシリコンのゲート電極を積層してなるゲート部を形成し、ゲート部の側面に絶縁性のスペーサを形成したMOS型のトランジスタであって、シリコン基板の表面に、ゲート部端とドレイン間にゲート部非形成のオフセット領域を設けたオフセットゲート構造のトランジスタを有する半導体装置において、上記ゲート電極、上記ソースおよびドレインの表面をシリサイドとし、上記オフセット領域を非シリサイドとしたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、上記スペーサを、オフセット領域のシリコン面を覆うように形成した半導体装置。

【請求項3】 請求項1または2いずれか記載の半導体装置を製造する半導体装置の製造方法であって、上記シリコン基板となるシリコンウェハの表面に酸化膜とポリシリコンとを積層し上記ゲート部を形成した後、ゲート部の側面に上記スペーサを構成する第1の絶縁膜を形成する第1のスペーサ形成工程と、上記オフセット領域にも上記スペーサを構成する第2の絶縁膜を形成する第2のスペーサ形成工程と、シリコンウェハの全面に金属を堆積する金属堆積工程と、熱処理により金属をシリサイド化するシリサイド化工程と、シリコンウェハの全面をエッチングしてシリサイド化していない金属を除去する金属エッチング工程とを行うようにしたことを特徴とする半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法において、上記第2のスペーサ形成工程の後、上記金属堆積工程に先立ち、上記ゲート部および上記スペーサをマスクとして不純物を注入し上記ソースおよびドレインを形成するソース／ドレイン形成工程を行う半導体装置の製造方法。

【請求項5】 請求項4記載の半導体装置の製造方法において、上記第1のスペーサ形成工程の後、上記第2のスペーサ形成工程に先立ち、上記ゲート部をマスクとして不純物を注入し電界緩和層となる上記ソースおよびドレインよりも低濃度の不純物領域を形成する低濃度不純物領域形成工程を行う半導体装置の製造方法。

【請求項6】 請求項4または5いずれか記載の半導体装置の製造方法において、上記ソース／ドレイン形成工程ならびに上記低濃度不純物領域形成工程では、互いに異なる導電型のウェルに形成された対をなす2種類のトランジスタ領域に、ウェルと異なる導電型の不純物を選択的に注入し、第1の種類のトランジスタ領域にnチャネルトランジスタを形成し、第2の種類のトランジスタ領域にpチャネルトランジスタを形成する半導体装置の製造方法。

【請求項7】 請求項4ないし6いずれか記載の半導体

装置の製造方法において、上記第2のスペーサ形成工程では、オフセットゲート構造とするトランジスタ領域にのみ上記第2の絶縁膜を形成する半導体装置の製造方法。

【請求項8】 請求項3記載の半導体装置の製造方法において、上記第2のスペーサ形成工程の後、上記金属堆積工程に先立ち、互いに異なる導電型のウェルに形成された対をなす2種類のトランジスタ領域に不純物を注入し上記ゲート部および上記スペーサ形成範囲とやや重なるように不純物領域を形成する不純物領域形成工程と、第1の種類のトランジスタ領域に選択的に上記不純物と同じ導電型の不純物を注入し上記不純物領域よりも高濃度のソースおよびドレインを形成する第1のソース／ドレイン形成工程および第2の種類のトランジスタ領域に選択的に上記不純物と異なる導電型の不純物を注入してソースおよびドレインを形成する第2のソース／ドレイン形成工程とを行い、第1の種類のトランジスタ領域には二重ドレインを備えた構造のトランジスタを形成し、第1の種類のトランジスタ領域には、パンチスルーストップ層を備えた構造のトランジスタを形成する半導体装置の製造方法。

【請求項9】 請求項3ないし8いずれか記載の半導体装置の製造方法において、上記第2のスペーサ形成工程では、上記オフセット領域とともに、サリサイド化しないトランジスタ領域に選択的に絶縁膜を形成して上記シリサイド化工程において上記トランジスタ領域をシリサイド化しないようにする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はMOS型のトランジスタを有する半導体装置および半導体装置の製造方法に関する。

【0002】

【従来の技術】 オフセットゲート構造のMOS型トランジスタは、シリコン基板の表面にゲート部端とドレイン間にゲート部非形成のオフセット領域を設けることで、ゲート部端位置における電界集中を緩和し、ドレイン耐圧を高めるものである。オフセットゲート構造は、シリコン基板の表面にゲート部を形成した後のソースおよびドレインの形成時に、フォトリソグラフィーを援用して、ドナー若しくはアクセプタとなる不純物がオフセット領域に注入されないようにすることで形成できる。

【0003】 一方、トランジスタに対する高速化の要請に対し、ゲート、ソースおよびドレインをシリサイド化してトランジスタ抵抗を低減するサリサイド技術が知られている。サリサイド技術ではゲート部ならびにソースおよびドレイン形成後、Ti等の金属を堆積してゲート電極、ソースおよびドレインの表面を自己整合的にシリサイドとするものである。

【0004】

【発明が解決しようとする課題】しかしながら、オフセットゲート構造のトランジスタにシリサイド技術を適用すると、シリコン基板の表面のオフセット領域にシリサイドが形成され、このシリサイドによりシリコン基板の表面がドレインからゲート部端まで導通する。この結果、シリコン基板ではゲート部端における電界集中が生じてしまい、電界集中の緩和とトランジスタ抵抗の低抵抗化とが両立できない。

【0005】本発明は上記実情に鑑みなされたもので、電界集中の緩和とトランジスタ抵抗の低抵抗化とを両立できる構造のトランジスタを有する半導体装置を提供することを目的とする。また、本発明は、上記半導体装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】請求項1記載の発明では、半導体装置は、シリコン基板の表面にゲート部端とドレイン間にゲート部非形成のオフセット領域を設けたオフセットゲート構造のトランジスタとし、ゲート部のゲート電極、ソースおよびドレインの表面をシリサイドとし、オフセット領域を非シリサイドとする。

【0007】ゲート電極ならびにソースおよびドレインの表面はシリサイドとしてあるので、トランジスタ抵抗は低減する。そして、オフセット領域にはシリサイドは形成されていないので、シリサイドによってシリコン基板のゲート部端位置とドレインとが同電位となってしまうということがなく、ゲート部端における電界集中が防止され、オフセットゲート構造のトランジスタの特徴を十分に発揮し高耐圧のトランジスタとなる。

【0008】請求項2記載の発明では、上記ゲート部の側面の絶縁性のスペーサを、上記オフセット領域のシリコン面を覆うように形成する。

【0009】上記スペーサがオフセット領域を覆うことにより、オフセット領域がシリサイド非形成となる。

【0010】請求項3記載の発明では、上記シリコン基板となるシリコンウェハの表面に酸化膜とポリシリコンとを積層し上記ゲート部を形成した後、ゲート部の側面に上記スペーサを構成する第1の絶縁膜を形成する第1のスペーサ形成工程と、上記オフセット領域に選択的に上記スペーサを構成する第2の絶縁膜を形成する第2のスペーサ形成工程と、シリコンウェハの全面に金属を堆積する金属堆積工程と、熱処理により金属をシリサイド化するシリサイド化工程と、シリコンウェハの全面をエッチングしてシリサイド化していない金属を除去する金属エッチング工程とを行い、本発明の半導体装置を製造する。

【0011】第1、第2のスペーサ形成工程により、オフセット領域を覆うようにスペーサが形成される。次いで行われる金属堆積工程では、堆積した金属は、オフセット領域ではスペーサの存在でシリコン面と接触しない。この結果、シリサイド化工程では、ゲート電極なら

びにソースおよびドレインのみに自己整合的にシリサイドが形成される。

【0012】請求項4記載の発明では、上記第2のスペーサ形成工程の後、上記金属堆積工程に先立ち、上記ゲート部および上記スペーサをマスクとして不純物を注入し上記ソースおよびドレインを形成するソース／ドレイン形成工程を行う。

【0013】上記ゲート部および上記スペーサ形成位置では、これがマスクとなるので不純物がシリコンウェハに達せず、自己整合的にソースおよびドレインを形成することができる。

【0014】請求項5記載の発明では、上記第1のスペーサ形成工程の後、上記第2のスペーサ形成工程に先立ち、上記ゲート部をマスクとして不純物を注入し電界緩和層となる上記ソースおよびドレインよりも低濃度の不純物領域を形成する低濃度不純物領域形成工程を行う。

【0015】上記ゲート部形成位置では、これがマスクとなるので不純物がシリコンウェハに達せず、自己整合的に電界緩和層となる低濃度不純物領域を形成することができ、容易に本発明の半導体装置をLDD構造のトランジスタを有する半導体装置に適用できる。

【0016】請求項6記載の発明では、上記ソース／ドレイン形成工程ならびに上記低濃度不純物領域形成工程では、互いに異なる導電型のウェルに形成された対をなす2種類のトランジスタ領域に、ウェルと異なる導電型の不純物を選択的に注入し、第1の種類のトランジスタ領域にnチャネルトランジスタを形成し、第2の種類のトランジスタ領域にpチャネルトランジスタを形成する。

【0017】これにより、容易に本発明の半導体装置をCMOS型の半導体装置に適用できる。

【0018】請求項7記載の発明では、上記第2のスペーサ形成工程では、オフセットゲート構造とするトランジスタ領域にのみ上記第2の絶縁膜を形成する。

【0019】これにより、容易に本発明の上記半導体装置をオフセットゲート構造のトランジスタとそうでないトランジスタとが混載する半導体装置に適用できる。

【0020】請求項8記載の発明では、上記第2のスペーサ形成工程の後、上記金属堆積工程に先立ち、先ず、互いに異なる導電型のウェルに形成された対をなす2種類のトランジスタ領域に不純物を注入し上記ゲート部および上記スペーサ形成範囲とやや重なるように不純物領域を形成する不純物領域形成工程を行う。次いで、第1の種類のトランジスタ領域に選択的に上記不純物と同じ導電型の不純物を注入し上記不純物領域よりも高濃度のソースおよびドレインを形成する第1のソース／ドレイン形成工程および第2の種類のトランジスタ領域に選択的に上記不純物と異なる導電型の不純物を注入してソースおよびドレインを形成する第2のソース／ドレイン形成工程を行い、第1の種類のトランジスタ領域には二重

ドレインを備えた構造のトランジスタを形成し、第1の種類のトランジスタ領域には、パンチスルーストップ層を備えた構造のトランジスタを形成する。

【0021】これにより、容易に本発明の上記半導体装置を二重ドレインを備えた構造のトランジスタと、パンチスルーストップ層を備えた構造のトランジスタとが混載したCDDD構造の半導体装置に適用できる。

【0022】請求項9記載の発明では、上記第2のスペーサ形成工程では、上記オフセット領域とともに、サリサイド化しないトランジスタ領域に選択的に絶縁膜を形成して上記シリサイド化工程において上記トランジスタ領域をシリサイド化しないようにする。

【0023】これにより、容易に本発明の上記半導体装置をサリサイド化したトランジスタとサリサイド化しないトランジスタとが混載した半導体装置に適用できる。

【0024】

【発明の実施の形態】（第1実施形態）図1に、本発明の半導体装置の断面を示す。半導体装置はMOS型トランジスタTを有し、シリコン基板100に、ウェル11が形成され、素子分離酸化膜2によりトランジスタ領域が形成されている。トランジスタ領域にはソース13およびドレイン14が形成してある。ソース13およびドレイン14の先端にはそれぞれ、LDD構造を与える、ソース13およびドレイン14よりも不純物濃度の低い電界緩和層121、122が形成される。

【0025】シリコン基板100の表面には、ソース13とドレイン14間にゲート部3が紙面に直交する方向に帯状に形成してある。ゲート部3はゲート酸化膜31およびポリシリコンのゲート電極32を積層してなり、ソース13およびドレイン14間に形成されるチャンネルに流れる電流を制御する。

【0026】ゲート部3は、ソース13寄りにオフセットして配置され、左端が略ソース13の先端位置となっており、右端がドレイン14からやや離れている。シリコン基板10の表面は、略ゲート部3の右端とドレイン14の間がゲート部3非形成のオフセット領域10aとしてあり、いわゆるオフセットゲート構造を与えている。上記ドレイン14側の電界緩和層122はオフセット領域10a位置に形成される。

【0027】ゲート部3の側面には絶縁性のスペーサ4が形成してある。スペーサ4はオフセット領域10aを覆うように形成され、オフセット領域10aのシリコン(Si)面と接している。

【0028】ゲート電極32、ソース13およびドレイン14はサリサイド化してあり、その表面はチタン(Ti)等の金属のシリサイド321、131、141となっている。オフセット領域10aはシリサイド非形成としてある。

【0029】素子分離酸化膜2やゲート部3等が形成されたシリコン基板100を覆い層間膜5が形成され、ソ

ース13およびドレイン14がタングステン(W)プラグ配線61を介してアルミニウム(Al)配線パターン62と電気接続されている。またゲート電極32も図略のAl配線パターンと電気接続されている。

【0030】本半導体装置の作動を説明する。ソース13とドレイン14間に駆動用の電圧を印加し、ゲート電極32に制御用の電圧を印加する。シリコン基板100には、ゲート電極32への電圧印加によりソース13とドレイン14間にチャンネルが形成される。ゲート電極32、ソース13およびドレイン14表面はサリサイド化してあるので、トランジスタ抵抗は低減する。そして、オフセット領域10aには、シリサイドは形成されていないので、シリサイドによって、シリコン基板100表面が、ゲート部3の右端位置とドレイン14とで同電位となってしまうということがなく、オフセットゲート構造のトランジスタ本来の特徴であるゲート部3端位置における電界集中の防止が好適になされ、ドレイン耐圧を向上させる。

【0031】次に本半導体装置の製造方法について説明する。図2、図3、図4に、上記半導体装置のウェハプロセスにおける、各段階のシリコンウェハの断面を示す。なお、以下の説明においてトランジスタはnMOSとして説明する。

【0032】シリコン基板100となるp型のシリコンウェハ10の(100)面の表面に素子分離用の酸化膜2を形成するとともに、上記表面に350Åの保護酸化膜を形成する。次いで、イオンインプラによる不純物注入と、窒素雰囲気下で1150°C、30分程度の熱処理を行いp型のウェル(Pwell)11を形成する。上記熱処理時に表面に形成された酸化膜を、弗酸(HF)によるウェットエッチングにより除去し再びSi面を露出する。

【0033】ゲート部形成工程を行う。熱酸化により、シリコンウェハ10の表面に再びゲート酸化膜31(図1)となる90~120Åの酸化膜310を形成する。次いでトランジスタのしきい値調整用として、ボロンを20~80keV程度のエネルギーにてイオンインプラした後、ゲート電極32(図1)となる燐(P)を含んだ $1\sim5\times10^{20}\text{cm}^{-3}$ 程度のポリシリコン膜320を約3000Å形成する(図2(a))。

【0034】フォトリソグラフィーにより、ゲート部3(図1)の設計位置にゲート部3のフォトレジストパターンを形成し、続いて塩素系ガスのドライエッチングとHF希釈液を用いたウェットエッチングにより、フォトレジストパターン非形成位置のポリシリコン320とその下層の酸化膜310とを除去し、ゲート酸化膜31とゲート電極32とが積層したゲート部3を形成する(図2(b))。

【0035】フォトレジストを除去した後、第1のスペーサ形成工程を行う。850~900°Cの酸素雰囲気

中で全面に150Å程度の酸化膜410を形成してゲート部3の側面に、シリコンウェハ10の表面から立ち上がるスペーサを構成する第1の絶縁膜41を形成する。

【0036】低濃度不純物領域形成工程を行う。電界緩和層121、122（図1）を形成すべく、Pを70keV、 $1.0 \times 10^{14} \text{cm}^{-2}$ 程度の条件でイオンインプラシ低濃度の不純物領域12を形成する（図2（c））。

【0037】第2のスペーサ形成工程を行う。CVDにより、1500Åの厚さの酸化膜（TEOS）420を堆積する（図2（d））。

【0038】次いで、フォトリソグラフィにより、ゲート部3とドレイン14（図1）設計位置の間に、左端部がややゲート部3と重なるように、フォトレジストパターンR1を形成する（図3（e））。

【0039】この状態でCF₄等の塩素系ガスでエッチングを施し、上記フォトレジストパターンR1非形成位置の酸化膜410、TEOS420を、ゲート部3側面にのみ自己整合的に絶縁膜として残るようにして除去する。次いでフォトレジストを除去する（図3（f））。これにより、シリコンウェハ10の表面は、ゲート部3非形成のオフセット領域10aが選択的に酸化膜410、TEOS420により被覆され、このパターンニングされた酸化膜410およびTEOS420はスペーサ4を構成する第2の絶縁膜42となる。

【0040】次いでソース／ドレイン形成工程を行う。砒素（As）を40keV、 $5.0 \times 10^{15} \text{cm}^{-2}$ 程度の条件でイオンインプラシ、ソース13およびドレイン14を形成する。この時、ゲート部3およびスペーサ4がマスクとなってAsがシリコンウェハ10に達せず、ソース13およびドレイン14は自己整合的に形成される（図3（g））。

【0041】次いで、850°C、20分程度の熱処理により、ソース13およびドレイン14を活性化する。そして、このソース13およびドレイン14の活性化時に形成されたシリコン基板10の表面の酸化膜を除去する。ここで、ゲート電極32上ならびにソース13上およびドレイン14上は、スペーサ4の端部と重なる僅かな部分を除きSiが露出しており、オフセット領域10aのみスペーサ4により被覆されている。

【0042】金属堆積工程を行う。350Å程度のTiおよび800Å程度のTiNの膜（Ti／TiN膜）70を全面に堆積する。次いでシリサイド化工程を行う。600～650°C、30秒程度のアニールを行う（図3（h））。Siが露出しているゲート電極32上ならびにソース13上およびドレイン14上では、堆積したTi／TiN膜70が、上記アニールによりSiと反応して合金化（シリサイド化）する。一方、オフセット領域10aではスペーサ4により堆積したTi膜70とSiとの反応が行われない。

【0043】次いで、金属エッチング工程を行う。全面エッチングにより、Siと合金化していないスペーサ4上のTi／TiN膜70は除去される。

【0044】さらに、800～850°C、30秒程度のアニールを行い、ゲート電極32ならびにソース13およびドレイン14上の、残ったTiを完全に合金化する（図4（i））。

【0045】かくしてトランジスタの基本的な構造が形成された後、ゲート部3やスペーサ4が形成されたシリコンウェハ10にホウ素（B）およびP添加ガラス（BPSG）を減圧（LP）CVDにより5000Å程度堆積し層間膜5を形成する。次いで窒素雰囲気中にて、800～850°C程度の熱処理を行い、層間膜5の段差を減らし滑らかにする（図4（j））。

【0046】フォトリソグラフィにより、ゲート部3ならびにソース13およびドレイン14形成位置に穴パターンを形成した後、ドライエッチングにより、層間膜5を貫通してサリサイド化したゲート電極32ならびにソース13およびドレイン14表面に達するコンタクト穴51を形成する。

【0047】次いでCVDによりTiを700Å、TiNを2000Å程度堆積するとともに、LPCVDによりWを堆積してコンタクト穴51を埋めてWプラグ配線61を形成し、これによりゲート電極32ならびにソース13およびドレイン14と電気接続をとる。

【0048】次いで、全面エッチングにより、コンタクト穴51に埋設された以外のW、TiおよびTiNを除去する。

【0049】次いで、Si、銅（Cu）等少量とともにAlを堆積して膜を形成した後、フォトリソグラフィにより、Al配線パターン62（図1）のフォトレジストパターンを形成する。このフォトレジストパターンをマスクとして、堆積した上記膜をエッチングしAl配線パターン62を形成する。形成後、フォトレジストパターンを除去する。

【0050】かくして第1実施形態になる半導体装置が完成する（図4（k））。

【0051】（第2実施形態）図5、図6、図7に、半導体装置のウェハプロセスにおける各段階のシリコンウェハの断面を示す。これにより、本発明の半導体装置をCMOS構造の半導体装置に適用した場合の製造方法を説明する。シリコンウェハ10の、図中、左側が第1の種類のトランジスタ領域たるnMOSトランジスタ領域1Aであり、右側が第2の種類のトランジスタ領域たるpMOSトランジスタ領域1Bであり対をなしている。図中、図1～図4と同一番号を付した部分については実質的に同じ工程により形成され同じ作用をするので第1実施形態との相違点を中心に説明する。

【0052】シリコンウェハ10の表面に素子分離酸化膜2を形成するとともに上記表面に350Å程度の保護

酸化膜を形成する。次いで、イオンインプラと、窒素雰囲気下で 1150°C 、30分程度の熱処理を行いPwell 11 Aおよびn型のウェル(Nwell) 11 Bを形成する。上記熱処理時に表面に形成された酸化膜を、HFによるウェットエッチングにより除去する。次いで酸化膜310およびPoly Si膜320を形成する(図5(a))。次いでゲート酸化膜31およびゲート電極32を形成する(ゲート部形成工程)。

【0053】ゲート部3の側面に第1の絶縁膜41を形成する(第1のスペーサ形成工程)。次いで低濃度不純物領域形成工程を行う。まず、Pを 70keV 、 $1.0 \times 10^{14}\text{cm}^{-2}$ 程度の条件でイオンインプラする(図5(b))。次いで、フォトリソグラフィーにより、nチャネルトランジスタ領域1AにフォトレジストパターンR2を形成し、Bを、 50keV 、 $5.0 \times 10^{13}\text{cm}^{-2}$ および 30keV 、 $4.0 \times 10^{13}\text{cm}^{-2}$ 程度の条件でイオンインプラを行う(図5(c))。フォトレジストパターンR2およびゲート部3のマスク作用により、シリコンウェハ10には、nチャネルトランジスタ領域1Aのゲート部3の両側にn型の低濃度不純物領域12Aが形成され、pチャネルトランジスタ領域1Bのゲート部3の両側にp型の低濃度不純物領域12Bが形成される。

【0054】第2のスペーサ形成工程を行う。フォトレジストを除去した後、CVDにより、 1500\AA の厚さのTEOS 420を堆積する(図5(d))。

【0055】次いで、フォトリソグラフィーにより、ゲート部3とドレイン14(図1参照)設計位置の間に、左端部がややゲート部3と重なるように、フォトレジストパターンR3を形成する(図6(e))。

【0056】この状態で CF_4 等の塩素系ガスでエッチングを施し、上記フォトレジストパターンR3非形成位置の酸化膜410、TEOS 420を、ゲート部3側面にのみ自己整合的に絶縁膜として残るように除去し、スペーサ4を構成する第2の絶縁膜42を形成する。次いでフォトレジストを除去する(図6(f))。

【0057】ソース/ドレイン形成工程を行う。フォトリソグラフィーにより、pチャネルトランジスタ領域1BにフォトレジストパターンR4を形成し、フォトレジストパターンR3非形成のPwell 11 Aにのみ、Asを 40keV 、 $5.0 \times 10^{15}\text{cm}^{-2}$ 程度の条件でイオンインプラを行い、nチャネルトランジスタ領域1Aに、ソース13Aおよびドレイン14Aを形成する(図6(g))。そしてフォトレジストを除去した後、今度は、nチャネルトランジスタ領域1AにフォトレジストパターンR5を形成し、フォトレジストパターンR5非形成のNwell 11 Bにのみフッ化硼素(BF_2)を 110keV 、 $5.0 \times 10^{13}\text{cm}^{-2}$ 程度の条件でイオンインプラを行い、Nwell 11 Bに、ソース13Bおよびドレイン14Bを形成する(図6(h))。このソース

13A、13Bおよびドレイン14A、14Bの形成において、ゲート部3およびスペーサ4がマスクとならず、ソース13A、13Bおよびドレイン14A、14Bが実質的に自己整合的に形成される。

【0058】次いで、 850°C 、20分程度の熱処理によるソース13A、13Bおよびドレイン14A、14Bの活性化およびシリコンウェハ10表面の酸化膜除去の後、Ti/TiN膜70を形成し(金属堆積工程)、 $600\sim 650^{\circ}\text{C}$ 、30秒程度のアニールを行い、ゲート部3、ソース13A、13Bおよびドレイン14A、14B上にTiのシリサイドを形成する(シリサイド化工程)(図7(i))。

【0059】次いで、全面エッチングを行い、両トランジスタ領域1A、1Bのスペーサ4上のTi/TiN膜70を除去する(金属エッチング工程)。

【0060】さらに、 $800\sim 850^{\circ}\text{C}$ 、30秒程度のアニールを行い、ゲート部3ならびにソース13A、13Bおよびドレイン14A、14B上の、残ったTiを完全に合金化する(図7(j))。

【0061】かくしてトランジスタの基本的な構造が形成された後、層間膜5を形成しゲート部3やスペーサ4が形成されたシリコンウェハ10を覆う(図7(k))。

【0062】次いで層間膜5に各ソース13A、13Bおよびドレイン14A、14B位置にコンタクト穴51を形成し、Wプラグ配線61を形成し、アルミ配線62を形成する。

【0063】しかして第2実施形態になる半導体装置が完成する(図7(l))。

【0064】このように本製造方法によれば、容易に、トランジスタの低抵抗化と耐圧の向上とを両立したトランジスタを有する本発明の半導体装置をCMOS構造の半導体装置に適用できる。

【0065】(第3実施形態)図8、図9、図10に、半導体装置のウェハプロセスにおける各段階のシリコンウェハの断面を示す。これにより、本発明の半導体装置をオフセットゲート構造のトランジスタとそうでないトランジスタとを混載した半導体装置に適用した場合の製造方法を説明する。シリコンウェハ10の、図中、左側がオフセットゲート構造を有するトランジスタ領域1であり、右側がオフセットゲート構造を有しないトランジスタ領域1Cである。図中、図1～図4と同一番号を付した部分については実質的に同じ工程により形成され同じ作用をするので第1実施形態との相違点を中心に説明する。なお、以下の説明においてトランジスタはnMOSとして説明する。

【0066】シリコンウェハ10の表面に素子分離酸化膜2を形成するとともに上記表面に 350\AA の保護酸化膜を形成する。次いで、イオンインプラと熱処理とを行

いPwell11を形成する。上記熱処理時に表面に形成された酸化膜を、HFによるウェットエッチングにより除去する。次いで酸化膜310およびPoly Si膜320を形成する(図8(a))。次いでゲート酸化膜31およびゲート電極32を形成する(ゲート部形成工程)。

【0067】ゲート部3の側面に第1の絶縁膜41を形成する(第1のスペーサ形成工程)(図8(b))。次いで低濃度不純物形成工程を行う。Pを70keV、 $1.0 \times 10^{14} \text{cm}^{-2}$ 程度の条件でイオンインプラを行う(図8(c))。ゲート部3のマスク作用により、シリコンウェハ10には、ゲート部3の両側にn型の低濃度不純物領域12が形成される。

【0068】第2のスペーサ形成工程を行う。フォトレジストを除去した後、CVDによりTEOS420を堆積する(図8(d))。

【0069】次いで、フォトリソグラフィーにより、トランジスタ領域1のゲート部3とドレイン14(図1参照)設計位置の間に、左端部がややゲート部3と重なるように、フォトレジストパターンR6を形成する(図9(e))。

【0070】この状態でCF₄等の塩素系ガスでエッチングを施し、上記フォトレジストパターンR6非形成位置の酸化膜410、TEOS420を、ゲート部3側面にのみ絶縁膜として残るように除去し、トランジスタ領域1に、スペーサ4を構成する第2の絶縁膜42を形成する。次いでフォトレジストを除去する。

【0071】次に、Asを40keV、 $5.0 \times 10^{15} \text{cm}^{-2}$ 程度の条件でイオンインプラし、ソース13、13Cおよびドレイン14、14Cを形成する。トランジスタ領域1ではゲート部3およびスペーサ4がマスクとなってソース13がゲート部3の左側に、ドレイン14がスペーサ4を構成する絶縁膜42の右側に形成される。トランジスタ領域1Cではゲート部3がマスクとなってソース13C、ドレイン14Cがゲート部3の左右のすぐ両側にそれぞれ形成される。このソース13、13Cおよびドレイン14、14Cの形成は実質的に自己整合的に形成される。次いで850°C、20分の熱処理によりソース13、13Cおよびドレイン14、14Cを活性化する(図9(f))。

【0072】次いで、熱処理によりシリコンウェハ10表面に形成された酸化膜を除去した後、Ti/TiN膜70を形成し(金属堆積工程)、600~650°C、30秒程度のアニールを行い、トランジスタ領域1のオフセット領域10aを除きサリサイド化し、ゲート部3、ソース13、13Cおよびドレイン14、14C上にTiのシリサイドを形成する(シリサイド化工程)(図9(g))。

【0073】次いで、全面エッチングを行い、トランジスタ領域1のスペーサ4上のTi/TiN膜70を除去する(金属エッチング工程)。

【0074】さらに、800~850°C、30秒程度のアニールを行い、ゲート部3ならびにソース13、13Cおよびドレイン14、14C上の、残ったTiを完全に合金化する(図9(h))。

【0075】かくしてトランジスタの基本的な構造が形成された後、層間膜5を形成し素子分離酸化膜2やゲート部3が形成されたシリコンウェハ10を覆う(図10(i))。

【0076】次いで層間膜5に各ソース13、13Cおよびドレイン14、14C位置にコンタクト穴51を形成し、Wプラグ配線61を形成し、アルミ配線62を形成する。

【0077】しかして第3実施形態になる半導体装置が完成する(図10(j))。

【0078】このように本製造方法によれば、容易に、トランジスタの低抵抗化と耐圧の向上とを両立したトランジスタを有する半導体装置を、オフセットゲート構造のトランジスタとそうでないトランジスタとを混載した半導体装置に適用できる。

【0079】(第4実施形態)図11、図12、図13に、半導体装置のウェハプロセスにおける各段階のシリコンウェハの断面を示す。これにより、本発明の半導体装置をCDD構造の半導体装置に適用した場合の製造方法を説明する。シリコンウェハ10の、図中、左側が第1の種類のトランジスタ領域たる二重ドレイン構造のnMOSTランジスタ領域1Dであり、右側が第2の種類のトランジスタ領域たるパンチスルーストップ層を有するpMOSTランジスタ領域1Eである。図中、図1~図4と同一番号を付した部分については実質的に同じ工程により形成され同じ作用をするので第1実施形態との相違点を中心に説明する。

【0080】シリコンウェハ10の表面に素子分離酸化膜2を形成するとともに上記表面に350Åの保護酸化膜を形成する。次いで、イオンインプラと熱処理を行いPwell11DおよびNwell11Eを形成する。上記熱処理時に表面に形成された酸化膜を、HFによるウェットエッチングにより除去する。次いで酸化膜310およびPoly Si膜320を形成する(図11(a))。次いでゲート酸化膜31およびゲート電極32を形成する(ゲート部形成工程)。

【0081】ゲート部3の側面に第1の絶縁膜41を形成する(第1のスペーサ形成工程)(図11(b))。

【0082】次いでフォトリソグラフィーにより、nチャネルトランジスタ領域1DにフォトレジストパターンR7を形成し、pチャネルトランジスタ領域1Eに選択的にBを、50keV、 $5.0 \times 10^{13} \text{cm}^{-2}$ および30keV、 $4.0 \times 10^{13} \text{cm}^{-2}$ 程度の条件でイオンインプラする(図11(c))。

【0083】第2のスペーサ形成工程を行う。フォトレジストを除去した後、TEOS420を堆積する(図1

1 (d))。

【0084】次いで、フォトリソグラフィーにより、ゲート部3とドレイン14 (図1参照) 設計位置の間に、左端部がややゲート部3と重なるように、フォトレジストパターンR8を形成する (図12 (e))。

【0085】この状態でCF₄等の塩素系ガスでエッチングを施し、上記フォトレジストパターンR8非形成位置の酸化膜410、TEOS420を、ゲート部3側面にのみ自己整合的に絶縁膜として残るように除去し、トランジスタ領域1D、1Eに、スペーサ4を構成する第2の絶縁膜42を形成する。次いでフォトレジストを除去する (図12 (f))。

【0086】不純物領域形成工程を行う。リンを70 keV、 $1.0 \times 10^{14} \text{ cm}^{-2}$ 、斜め45°程度の条件でイオンインプラする (図12 (g))。両トランジスタ領域1D、1EのPwell11D、Nwell11Eには、ゲート部3およびスペーサ4がマスクとなってゲート部3の左側および絶縁膜42の右側に不純物領域12D、12Eが形成される。なおイオンインプラが斜め45°で行われるので、不純物領域12D、12Eは、マスクとなるゲート部3およびスペーサ4形成領域とやや重なり、ゲート部3およびスペーサ4の下側にやや進入する。

【0087】第1のソース/ドレイン形成工程を行う。フォトリソグラフィーにより、トランジスタ領域1EにフォトレジストパターンR9を形成し、フォトレジストパターンR9非形成のPwell11Dにのみ、Asを40 keV、 $5.0 \times 10^{15} \text{ cm}^{-2}$ 程度の条件でイオンインプラし、Pwell11Dに、ソース13Dおよびドレイン14Dを形成する (図12 (h))。

【0088】そしてフォトレジストを除去した後、今度は、トランジスタ領域1DにフォトレジストパターンR10を形成し、フォトレジストパターンR10非形成のNwell11BにのみBF₂を110 keV、 $5.0 \times 10^{13} \text{ cm}^{-2}$ 程度の条件でイオンインプラし、Nwell11Bに、ソース13Eおよびドレイン14Eを形成する (図13 (i))。

【0089】各トランジスタ領域1D、1Eにおいて、ソース13D、13Eはゲート部3の左側位置に形成され、ドレイン14D、14Eは絶縁膜42の右側位置に形成されるが、上記のごとく不純物領域12D、12Eは、マスクとなるゲート部3およびスペーサ4の下側にやや進入して形成されるので、ソース13D、13Eおよびドレイン14D、14Eの先端側に、nチャネルトランジスタ領域1Dでは2重ドレイン構造を形成するソース13Dおよびドレイン14Dと同じ導電型の緩和層121D、122Dが形成され、pチャネルトランジスタ領域1Eではソース13Eおよびドレイン14Eと異なる導電型のパンチスルーストップ層121E、122Eが形成される。

【0090】次いで、850°C、20分程度の熱処理によるソース13A、13Bおよびドレイン14A、14Bの活性化およびシリコンウェハ10表面の酸化膜除去の後、Ti/TiN膜70を形成し (金属堆積工程)、600~650°C、30秒程度のアニールを行い、ゲート部3、ソース13D、13Eおよびドレイン14D、14E上にTiのシリサイドを形成する (シリサイド化工程) (図13 (j))。

【0091】次いで、全面エッチングを行い、両トランジスタ領域1D、1Eのスペーサ4上のTi/TiN膜70を除去する (金属エッチング工程)。

【0092】さらに、800~850°C、30秒程度のアニールを行い、ゲート部3ならびにソース13D、13Eおよびドレイン14D、14E上の、残ったTiを完全に合金化する (図13 (k))。

【0093】かくしてトランジスタの基本的な構造が形成された後、層間膜5を形成しゲート部3やスペーサ4等が形成されたシリコンウェハ10を覆う (図13 (l))。

【0094】次いで層間膜5に各ソース13D、13Eおよびドレイン14D、14E位置にコンタクト穴51を形成し、Wプラグ配線61を形成し、アルミ配線62を形成する。

【0095】しかして第4実施形態になる半導体装置が完成する (図14 (m))。

【0096】このように本製造方法によれば、容易に、トランジスタの低抵抗化と耐圧の向上とを両立したトランジスタを有する半導体装置をCDDD構造のトランジスタを有する半導体装置に適用できる。

【0097】(第5実施形態) 図15、図16、図17に、半導体装置のウェハプロセスにおける各段階のシリコンウェハの断面を示す。これにより、サリサイド化したトランジスタとサリサイド化しない通常のトランジスタの両方を搭載した半導体装置に適用した場合の製造方法を説明する。シリコンウェハ10の、図中、左側が本発明の半導体装置の特徴を有するトランジスタ領域1であり、右側が通常のトランジスタ領域1Fである。図中、図1~図4と同一番号を付した部分については実質的に同じ工程により形成され同じ作用をするので第1実施形態との相違点を中心に説明する。なお、以下の説明においてトランジスタはnMOSとして説明する。

【0098】シリコンウェハ10の表面に素子分離酸化膜2を形成するとともに上記表面に350Åの保護酸化膜を形成する。次いで、イオンインプラと熱処理を行いPwell11を形成する。上記熱処理時に表面に形成された酸化膜を、HFによるウェットエッチングにより除去する。次いで酸化膜310およびPoly Si膜320を形成する (図15 (a))。次いでゲート酸化膜31およびゲート電極32を形成する (ゲート部形成工程)。

【0099】ゲート部3の側面に第1の絶縁膜41を形

成する（第1のスペーサ形成工程）。

【0100】次いで低濃度不純物領域形成工程を行う。Pを70keV、 $1.0 \times 10^{14} \text{cm}^{-2}$ 程度の条件でイオンインプラする（図15（b））。ゲート部3のマスク作用により、Pwell11には、ゲート部3の両側にn型の低濃度不純物領域12が形成される。

【0101】第2のスペーサ形成工程を行う。フォトレジストを除去した後、TEOS420を堆積する（図15（c））。

【0102】次いで、フォトリソグラフィーにより、フォトレジストパターンR11を形成する。フォトレジストパターンR11は、トランジスタ領域1ではゲート部3とドレイン14（図1参照）設計位置の間に、左端部がややゲート部3と重なるように形成し、トランジスタ領域1Fでは全面を覆うように形成する（図15（d））。

【0103】この状態でCF₄等の塩素系ガスでエッチングを施し、上記フォトレジストパターンR11非形成位置の酸化膜410、TEOS420を、ゲート部3側面にのみ自己整合的に絶縁膜として残るようにして除去する。次いでフォトレジストを除去する（図16（e））。

これにより、シリコンウェハ10の表面は、トランジスタ領域1ではゲート部3非形成のオフセット領域10aに、スペーサ4を構成する第2の絶縁膜42が形成される。またトランジスタ領域1Fでは全面が絶縁膜43により被覆される。

【0104】トランジスタ領域1のソースおよびドレインを形成する。すなわち、Asを40keV、 $5.0 \times 10^{15} \text{cm}^{-2}$ 程度の条件でイオンインプラし、ソース13およびドレイン14を形成する。ゲート部3およびスペーサ4がマスクとなってソース13がゲート部3の左側に、ドレイン14が絶縁膜42の右側に形成される。次いで850°C、20分の熱処理によりソース13およびドレイン14を活性化する（図16（f））。

【0105】次いで、熱処理によりシリコンウェハ10表面に形成された酸化膜を除去した後、Ti/TiN膜70を形成し（金属堆積工程）、600～650°C、30秒程度のアニールを行い、トランジスタ領域1のオフセット領域10aおよびトランジスタ領域1Fの全面を除きシリサイド化し、トランジスタ領域1のゲート部3、ソース13およびドレイン14上にTiのシリサイドを形成する（シリサイド化工程）（図16（g））。

【0106】次いで、全面エッチングを行い、トランジスタ領域1のスペーサ4上およびトランジスタ領域1Fの全面を覆う絶縁膜43上のTi/TiN膜70を除去する（金属エッチング工程）。

【0107】さらに、800～850°C、30秒程度のアニールを行い、トランジスタ領域1のゲート部3ならびにソース13およびドレイン14上の、残ったTiを完全に合金化する（図16（h））。

【0108】フォトリソグラフィーにより、トランジスタ領域1にのみフォトレジストパターンR12を形成し、CF₄等の塩素系ガスでエッチングを施し、上記フォトレジストパターンR12非形成のトランジスタ領域1Fの絶縁膜43を除去する（図17（i））。

【0109】トランジスタ領域1Fのソースおよびドレインを形成する。Asを40keV、 $5.0 \times 10^{15} \text{cm}^{-2}$ 程度の条件でトランジスタ領域1Fに選択的にイオンインプラする。トランジスタ領域1Fではゲート部3がマスクとなってソース13Fおよびドレイン14Fがゲート部3の左右のすぐ両側にそれぞれ形成される。次いで850°C、20分の熱処理によりソース13Fおよびドレイン14Fを活性化する（図17（j））。

【0110】かくしてトランジスタの基本的な構造が形成された後、層間膜5を形成しゲート部3やスペーサ4等が形成されたシリコンウェハ10を覆う（図17（k））。

【0111】次いで層間膜5に各ソース13、13Fおよびドレイン14、14F位置にコンタクト穴51を形成し、Wプラグ配線61を形成し、アルミ配線62を形成する。

【0112】しかして本発明の第5の実施形態になる半導体装置が完成する（図17（l））。

【0113】このように本製造方法によれば、容易に、トランジスタの低抵抗化と耐圧の向上とを両立したトランジスタを有する半導体装置を、サリサイド化したトランジスタとサリサイド化しないトランジスタとを混載した半導体装置に適用できる。

【図面の簡単な説明】

【図1】本発明の第1の半導体装置の断面図である。

【図2】（a）、（b）、（c）、（d）は、本発明の第1の半導体装置の製造方法を示す第1、第2、第3、第4のシリコンウェハの断面図である。

【図3】（e）、（f）、（g）、（h）は、本発明の第1の半導体装置の製造方法を示す第5、第6、第7、第8のシリコンウェハの断面図である。

【図4】（i）、（j）、（k）は、本発明の第1の半導体装置の製造方法を示す第9、第10、第11のシリコンウェハの断面図である。

【図5】（a）、（b）、（c）、（d）は、本発明の第2の半導体装置の製造方法を示す第1、第2、第3、第4のシリコンウェハの断面図である。

【図6】（e）、（f）、（g）、（h）は、本発明の第2の半導体装置の製造方法を示す第5、第6、第7、第8のシリコンウェハの断面図である。

【図7】（i）、（j）、（k）、（l）は、本発明の第2の半導体装置の製造方法を示す第9、第10、第11、第12のシリコンウェハの断面図である。

【図8】（a）、（b）、（c）、（d）は、本発明の第3の半導体装置の製造方法を示す第1、第2、第3、

第4のシリコンウェハの断面図である。

【図9】(e), (f), (g), (h)は、本発明の第3の半導体装置の製造方法を示す第5、第6、第7、第8のシリコンウェハの断面図である。

【図10】(i), (j)は、本発明の第3の半導体装置の製造方法を示す第9、第10のシリコンウェハの断面図である。

【図11】(a), (b), (c), (d)は、本発明の第4の半導体装置の製造方法を示す第1、第2、第3、第4のシリコンウェハの断面図である。

【図12】(e), (f), (g), (h)は、本発明の第4の半導体装置の製造方法を示す第5、第6、第7、第8のシリコンウェハの断面図である。

【図13】(i), (j), (k), (l)は、本発明の第4の半導体装置の製造方法を示す第9、第10、第11、第12のシリコンウェハの断面図である。

【図14】(m)は、本発明の第4の半導体装置の製造方法を示す第13のシリコンウェハの断面図である。

【図15】(a), (b), (c), (d)は、本発明の第5の半導体装置の製造方法を示す第1、第2、第3、第4のシリコンウェハの断面図である。

【図16】(e), (f), (g), (h)は、本発明の第5の半導体装置の製造方法を示す第5、第6、第7、第8のシリコンウェハの断面図である。

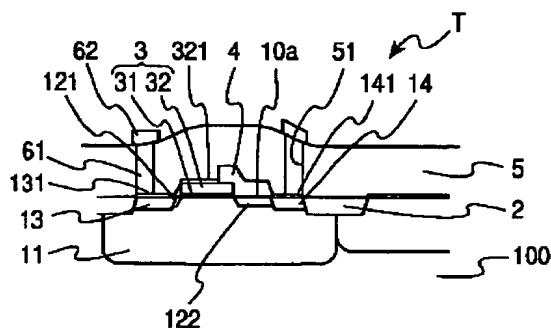
【図17】(i), (j), (k), (l)は、本発明の第5の半導体装置の製造方法を示す第9、第10、第

11、第12のシリコンウェハの断面図である。

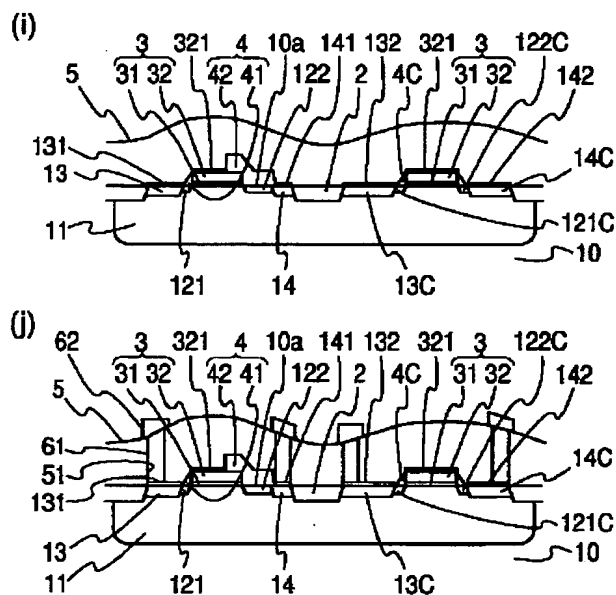
【符号の説明】

1, 1A, 1B, 1C, 1D, 1E, 1F トランジスタ領域
10 シリコンウェハ
10a オフセット領域
100 シリコン基板
11, 11A, 11B, 11D, 11E Nwell (ウェル)
12, 12A, 12B, 12C 低濃度不純物領域
121, 122, 121A, 122A, 121B, 122B, 121C, 122C, 121D, 122D, 121F, 122F 電界緩和層
121E, 122E パンチスルーストップ層
13, 13A, 13B, 13C, 13D, 13E, 13F ソース
14, 14A, 14B, 14C, 14D, 14E, 14F ドレイン
2 素子分離酸化膜
3 ゲート部
31 ゲート酸化膜
32 ゲート電極
4 スペース
41, 42 絶縁膜
70 Ti/TiN膜 (金属)
T トランジスタ

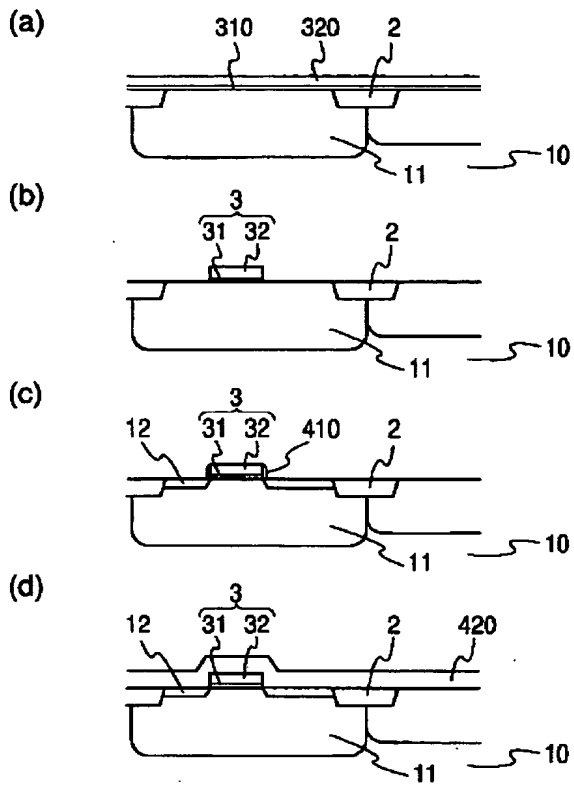
【図1】



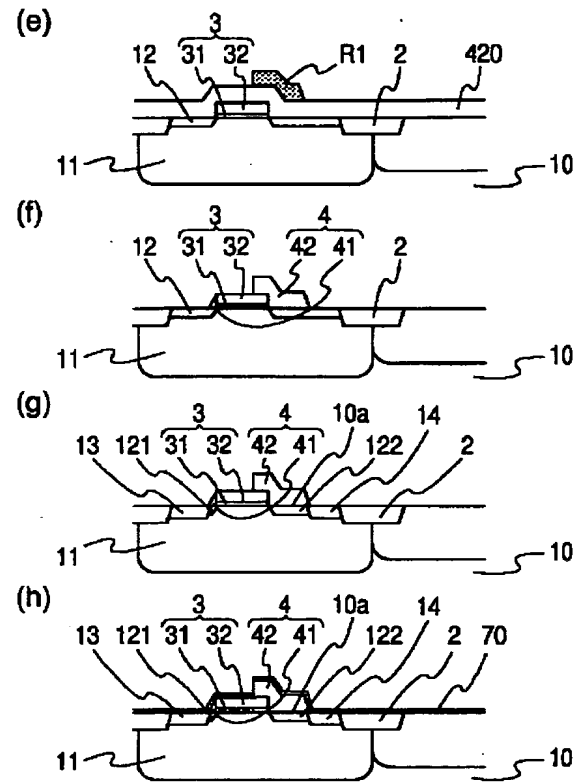
【図10】



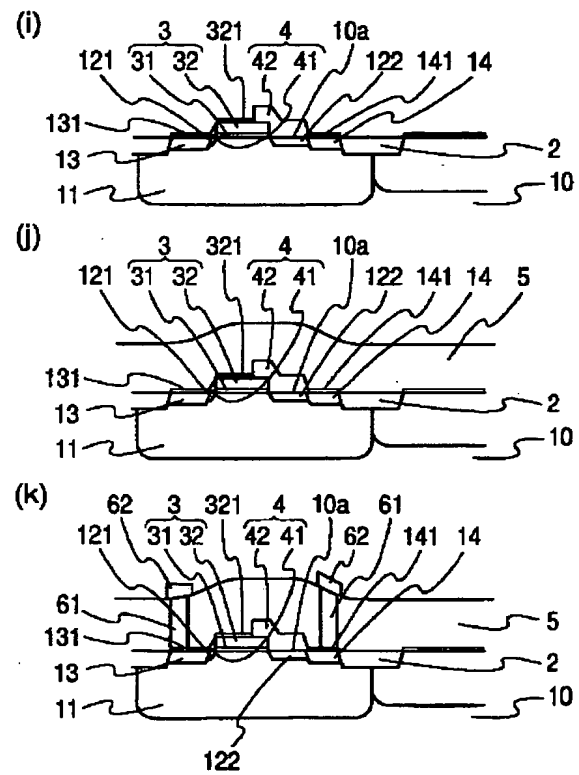
【図2】



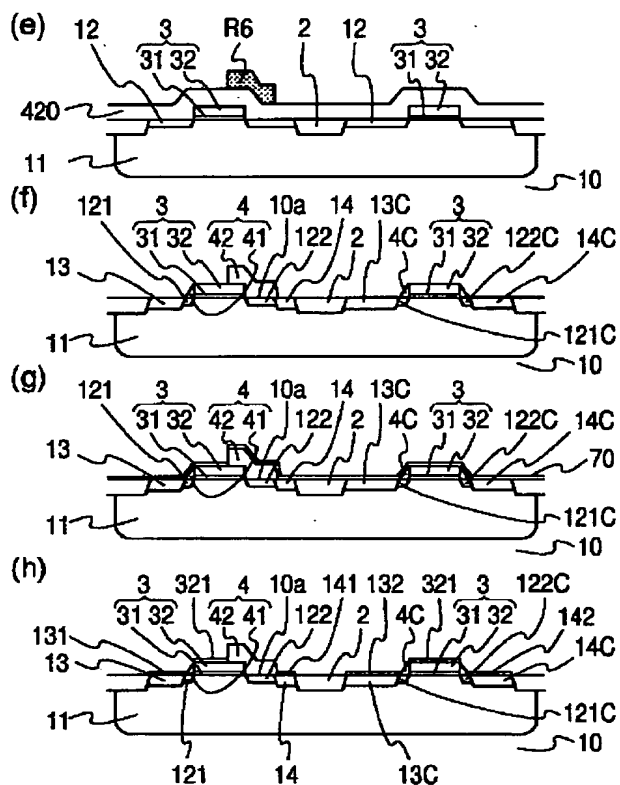
【図3】



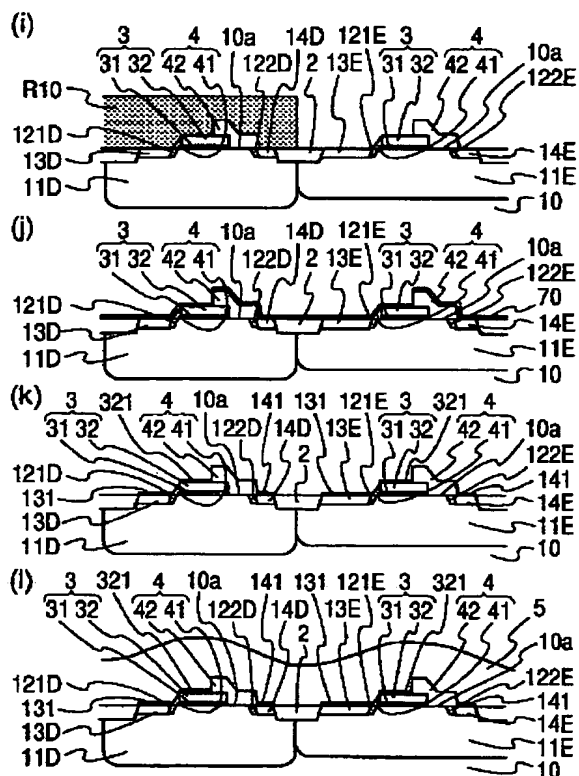
【図4】



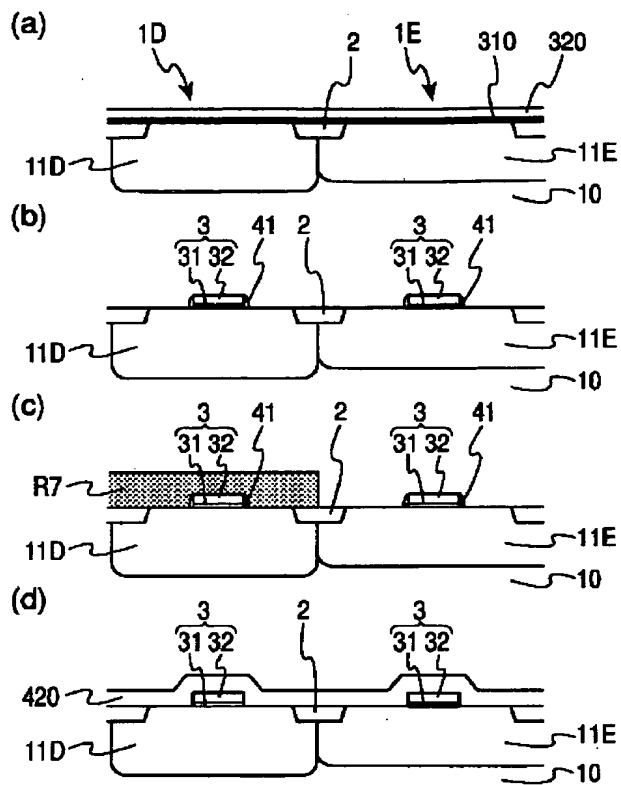
【図9】



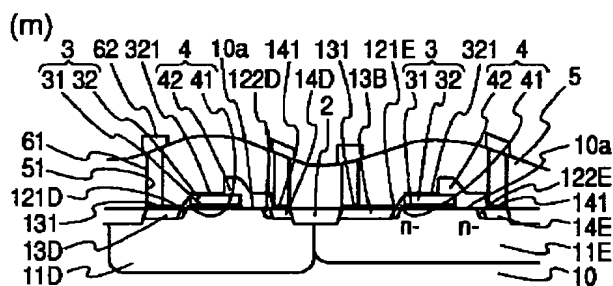
【図13】



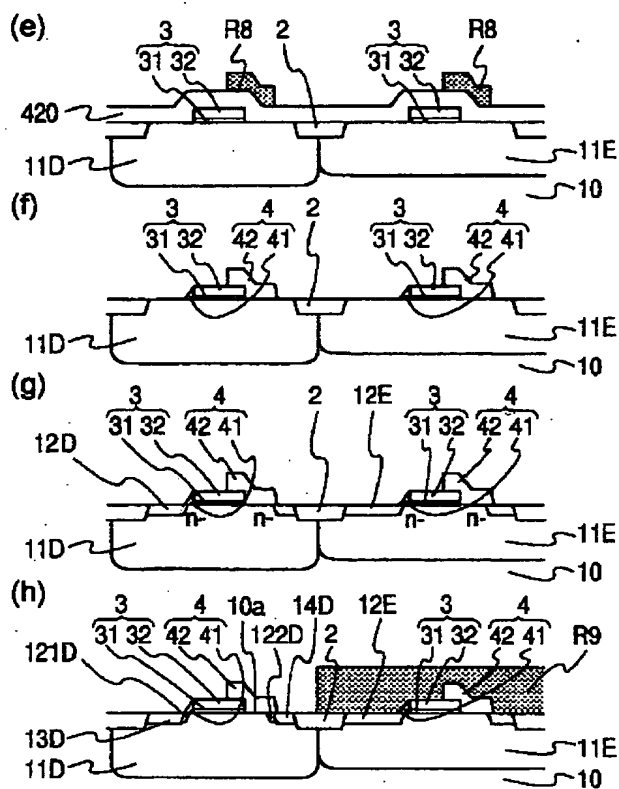
【図11】



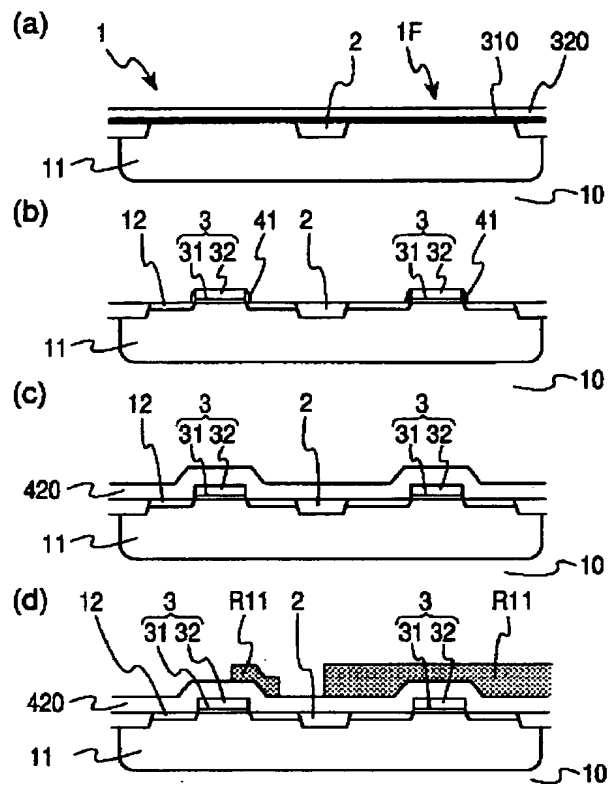
【図14】



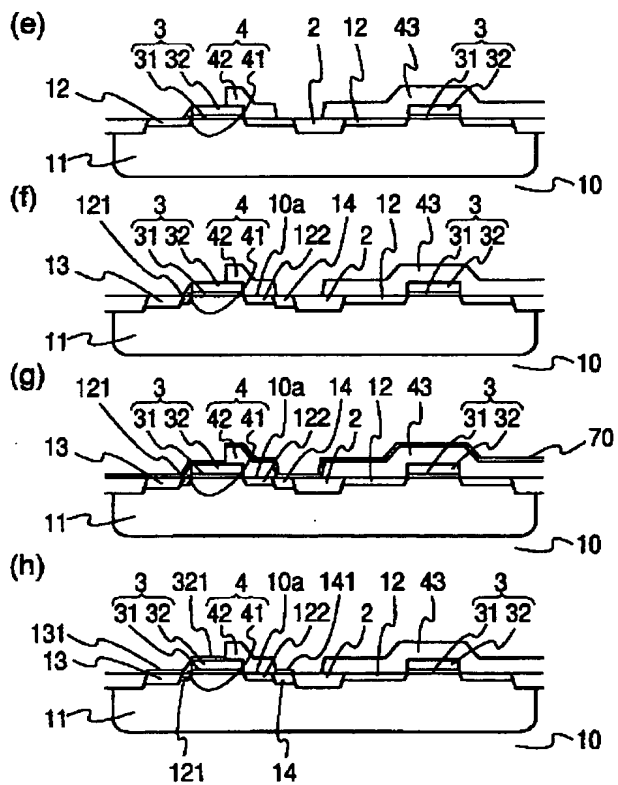
【図12】



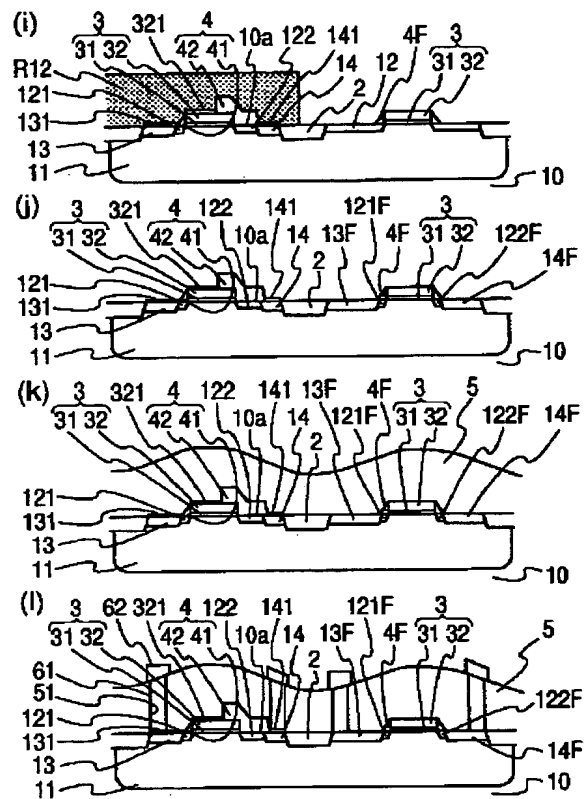
【図15】



【図16】



【図17】



フロントページの続き

Fターム(参考) 5F040 DA10 DA20 DB03 DC01 EB02
 EC07 EC13 EF02 EF09 EF18
 EH08 EK01 EM01 FA05 FB02
 FC11 FC13 FC19 FC21 FC28
 5F048 AA05 AC03 BA01 BB06 BB09
 BC03 BC06 BE03 BF02 BF07
 BG01 DA25